

## (12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局(43)国際公開日  
2004年4月1日 (01.04.2004)

PCT

(10)国際公開番号  
WO 2004/027600 A1

- (51) 国際特許分類<sup>7</sup>: G06F 9/30, 9/38, 9/44, 9/45  
 (21) 国際出願番号: PCT/JP2002/008843  
 (22) 国際出願日: 2002年8月30日 (30.08.2002)  
 (25) 国際出願の言語: 日本語  
 (26) 国際公開の言語: 日本語  
 (71) 出願人(米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).

(72) 発明者; および

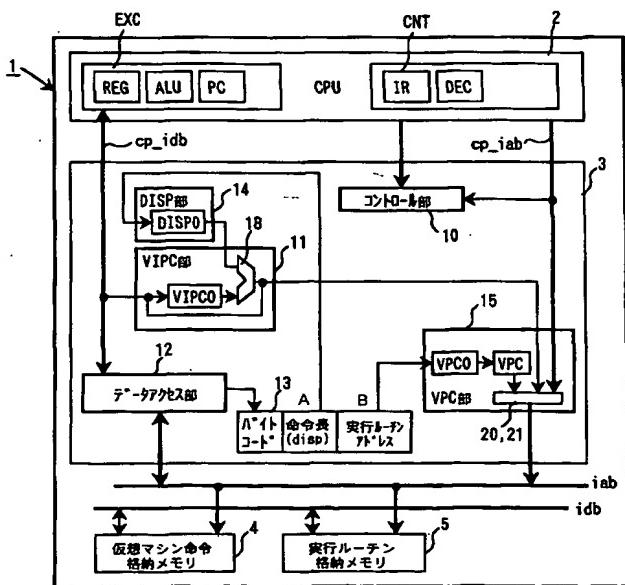
(75) 発明者/出願人(米国についてのみ): 平柳 和也 (HIRAYANAGI,Kazuya) [JP/JP]; 〒187-8588 東京都小平

市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内 Tokyo (JP). 北川 健二 (KITAGAWA,Kenji) [JP/JP]; 〒215-0013 神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内 Kanagawa (JP). 萩原 今朝巳 (HAGIWARA,Kesami) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内 Tokyo (JP). 青木 孝則 (AOKI,Takanori) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内 Tokyo (JP). 三ツ石 直幹 (MITSUISHI,Naoki) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内 Tokyo (JP).

[統葉有]

(54) Title: DATA PROCESSING APPARATUS AND IC CARD

(54) 発明の名称: データ処理装置及びICカード



- 14...DISP UNIT  
 10...CONTROL UNIT  
 11...VIPC UNIT  
 12...DATA ACCESS UNIT  
 13...BYTE CODE  
 A...INSTRUCTION LENGTH (disp)  
 B...EXECUTION ROUTINE ADDRESS  
 15...VPC UNIT  
 4...MEMORY CONTAINING VIRTUAL MACHINE INSTRUCTIONS  
 5...MEMORY CONTAINING EXECUTION ROUTINES

(57) Abstract: A data processing apparatus (1) can realize execution of a virtual machine instruction by an execution routine defined by a native instruction of a CPU (2) and has an address conversion unit (3) capable of successively converting an address output from the CPU to an address of the native instruction by using the prepared execution routine address. While the CPU executes the execution routine according to an address of the native instruction successively converted, the address conversion unit reads in a next virtual machine instruction to be executed and prepares an address of a corresponding execution routine. Thus, it is possible to reduce the overhead of the instruction execution by the execution routine attributed to loading of a virtual machine instruction and the address calculation based on it. This increases speed of the data processing by a virtual machine program described by virtual machine instructions.

WO 2004/027600 A1

[統葉有]



(74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都 千代田区 神田小川町 2 丁目 10 番地  
新山城ビル 42 号 Tokyo (JP).

添付公開書類:  
— 國際調査報告書

(81) 指定国(国内): CN, JP, KR, SG, US.

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

データ処理装置（1）は、CPU（2）のネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にするものであり、規定の条件成立に応答して、CPUが output するアドレスを、用意された実行ルーチンのアドレスを利用してネイティブ命令のアドレスに順次変換可能なアドレス変換部（3）を有する。アドレス変換部は、順次変換したネイティブ命令のアドレスに基づいて CPU が実行ルーチンを実行するのに並行して、次に実行すべき仮想マシン命令を読み込んでこれに対応する実行ルーチンのアドレスを用意する。したがって、仮想マシン命令のロード処理及びそれに基づくアドレス計算処理に起因する実行ルーチンによる命令実行処理のオーバーヘッドを低減することができる。これにより、仮想マシン命令で記述された仮想マシンプログラムによるデータ処理を高速化することができる。

## 明細書

## データ処理装置及び I C カード

## 5 技術分野

本発明は、仮想マシン命令を C P U のネイティブ命令を用いて実行可能にするデータ処理装置に関し、例えば I C カード用のマイクロコンピュータに適用して有効な技術に関する。

## 10 背景技術

仮想マシン命令を C P U のネイティブ命令を用いて実行可能にする技術、即ち、仮想マシン命令を固有の命令セットをもつ C P U 上で実行する技術として、インタプリタソフトウェアによる実現技術がある。インタプリタソフトウェアによる実行方法は、C P U に仮想命令をロードし、ロードした仮想命令を認識し、それに対応する実行ルーチンの関数をコールすることにより、その実行ルーチンを実行して当該仮想命令で指示される処理を実現する。実行ルーチンには対応する仮想マシン命令の動作が C P U 固有の命令セットに含まれる命令 (C P U のネイティブ命令) で記述してある。一つの実行ルーチンの処理が終了すると、仮想マシン命令をロードする処理にジャンプする。これを繰り返すことにより、仮想マシン命令で記述された仮想マシンプログラムを C P U のネイティブ命令を用いて実行することが可能になる。この技術は、仮想マシン命令のロード、ロードした仮想マシン命令の判定、判定された仮想マシンに応ずる実行ルーチンの関数コールの処理がオーバヘッドとなる。

25 特開 2001-508907 号及び特開 2001-508908 号  
公報には、そのような実行ルーチンコールのオーバヘッドを削減する

技術が記載される。即ち、C P Uの命令フェッチ用アドレスの一部を仮想マシン命令ロード用のプログラムカウンタに利用し、C P Uの命令フェッチ用アドレスが出力されると、そのプログラムカウンタを用いて仮想マシン命令をロードし、ロードした仮想マシン命令から実行ルーチンアドレスを計算するハードウェアを採用する。

しかしながら、そのようなハードウェアを用いても、仮想マシン命令のロード処理及び実行ルーチンアドレスの計算処理は、実行ルーチンによる命令実行処理とは直列的に行われる結果、実行ルーチンによる命令実行処理に対して前記ロード処理及びアドレス計算処理は依然としてオーバーヘッドになることに変わり無いことが本発明者によって明らかにされた。

本発明の目的は、仮想マシン命令のロード処理及びそれに基づくアドレス計算処理に起因する実行ルーチンによる命令実行処理のオーバーヘッドを低減することにある。

本発明の別の目的は、仮想マシン命令で記述された仮想マシンプログラムによるデータ処理を高速化することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

## 20 発明の開示

本発明に係るデータ処理装置は、C P Uのネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にするものであり、規定の条件成立に応答して、前記C P Uが出力するアドレスを、用意された実行ルーチンのアドレスを利用してネイティブ命令のアドレスに順次変換可能なアドレス変換部を有する。前記アドレス変換部は、順次変換したネイティブ命令のアドレスに基づいてC P Uが実行ル

チ<sup>n</sup>を実行するのに並行して、次に実行すべき仮想マシン命令を読み込んでこれに対応する実行ルーチンのアドレスを用意する。要するに、本発明に係るデータ処理装置は、仮想マシン命令に応するC P U命令セットによる実行ルーチンの実行処理に並行して、次の仮想マシン命令のロード処理及びロードされた仮想マシン命令に対応する実行ルーチンのアドレスを用意する処理を行う。したがって、仮想マシン命令のロード処理及びそれに基づくアドレス計算処理に起因する実行ルーチンによる命令実行処理のオーバーヘッドを低減することができる。これにより、仮想マシン命令で記述された仮想マシンプログラムによるデータ処理を高速化することができる。

前記アドレス変換部は前記規定の条件不成立に応答してC P Uからの入力アドレスをそのまま出力する。即ち、前記規定の条件が不成立のときC P Uは前記実行ルーチン以外のネイティブ命令で記述されたプログラムから命令をフェッチして実行する。

前記規定の条件は、例えば前記C P Uによる所定アドレスの出力である。前記所定アドレスは、例えば前記仮想マシン命令の実行に割り当てられた所定のアドレス空間の先頭アドレスである。このとき、前記実行ルーチンは、例えばその最後にC P Uのプログラムカウンタを仮想マシン命令の実行に割り当てられた所定のアドレス空間の先頭に戻りターン処理のネイティブ命令を含む。実行ルーチンの最後に前記所定のアドレス空間の先頭にリターンしたとき、次に実行すべき仮想マシン命令に対応する実行ルーチンのアドレスが既に用意されており、C P Uが再び前記所定のアドレス空間の先頭アドレスをアクセスする処理を行うことにより、前記用意されている当該アドレスの実行ルーチンの実行に移ることができる。

望ましい形態として、前記仮想マシン命令毎にその命令長と実行ル

チソのアドレスとの対応を定義した変換テーブルを有する。アドレス変換部は読み込んだ仮想マシン命令を検索キーとして変換テーブルから対応する仮想マシン命令の前記命令長と実行ルーチンのアドレスを取得する。前記命令長は次に読み込む仮想マシン命令のアドレス生成に利用する。これは仮想マシン命令の命令語長が命令毎に異なる場合に対応するためである。検索された実行ルーチンのアドレスは当該実行ルーチンの記憶エリアを特定する上位側アドレス等とされ、次の実行ルーチンのネイティブ命令をフェッチするためのアドレス生成に利用される。それらを利用する場合には、検索された命令長を保持する第1レジスタと、同じく検索された実行ルーチンのアドレスを保持する第2レジスタとを有するのが望ましい。例えば、前記アドレス変換部は、仮想マシン命令をメモリから読み込むためのアドレスを出力する仮想マシンプログラムカウンタを有し、当該仮想マシンプログラムカウンタのインクリメント量を前記第1レジスタの値によって制御可能にされる。前記仮想マシンプログラムカウンタのインクリメントは、現在の実行ルーチンの実行終了タイミングに同期して行えば充分である。また、前記アドレス変換部は、実行ルーチンのネイティブ命令をメモリから読み込むための実行ルーチンアドレス生成回路を有し、前記実行ルーチンアドレス生成回路は、前記第2レジスタが保持する実行ルーチンのアドレスを入力する第3レジスタと、第3レジスタの値とCPUから出力されるアドレスの下位側複数ビットとを加算する加算器を有し、加算器の出力を実行ルーチンのネイティブ命令のアドレスとして利用すればよい。

前記アドレス変換部は、読み込んだ仮想マシン命令が分岐命令の場合に、分岐先の仮想マシン命令を読み込んでこれに対する実行ルーチンのアドレスを用意することが可能である。条件分岐の場合には、前記アドレス変換部は、読み込んだ仮想マシン命令が条件分岐命令の場合に、分

岐先の仮想マシン命令を読み込んでこれに対する実行ルーチンのアドレスを別に用意し、分岐の有無に応じて、アドレス演算に利用する実行ルーチンのアドレスを選択すればよい。条件成立、不成立の何れに対しても即座に次の実行ルーチンへ移行することができる。

5 前記データ処理装置は、仮想マシン命令によって構成される仮想マシンプログラムを格納する第1メモリと、仮想マシン命令毎にその実行ルーチンを格納する第2メモリとを含み、それらを1個の半導体チップに形成してよい。また、第1メモリ及び第2メモリはCPUやアドレス変換部とは別チップであってもよい。

10 前記第1メモリは書換え可能な不揮発性メモリであることが望ましい。仮想マシン命令を用いる主な理由は異なるアーキテクチャのデータ処理装置（プラットフォーム）へのプログラムの移植性である。仮想マシン命令で表現されたプログラムは、仮想マシン命令をデータ処理装置固有の命令セットによる実行ルーチンで代替させることにより、複数種類のデータ処理装置上で容易に実行することができる。同一アーキテクチャを有するデータ処理装置上ではそのような実行ルーチンは仮想マシンプログラムによらず一定とすることが容易であるから、仮想マシンプログラムを格納する第1メモリを書き換え可能にすれば、第2メモリを書き換え可能にしなくてもよい。

15 上記データ処理装置は、カード基板に入出力回路と共に搭載したICカード等に適用することができる。入出力回路は接触インターフェース形式又は電波を用いる非接触インターフェース形式の何れを採用してもよい。このICカードにおいて、仮想マシンプログラムが外部から暗号化されて供給され、内部で復号されてメモリに格納される場合、前記第1メモリは書換え可能な不揮発性メモリであることが望ましい。

## 図面の簡単な説明

第1図は本発明が適用されたマイクロコンピュータの一例を示すブロック図である。

第2図はVIPC部の詳細を例示するブロック図である。

5 第3図は実行アドレス生成部の詳細を例示するブロック図である。

第4図は初期状態から仮想マシン命令の実行状態に遷移するためのCPUの処理プログラムを例示する説明図である。

第5図は分岐命令以外の実行ルーチンを例示する説明図である。

第6図は可変長命令分の実行ルーチンを例示する説明図である。

10 第7図はアドレス変換部によるアドレス変換機能を全体的に示す説明図である。

第8図はアドレス変換部によるアドレス変換機能を用いた仮想マシン命令の実行機能を模式的に示す説明図である。

15 第9図はアドレス変換部を用いたアドレス変換のイメージを示す説明図である。

第10図は実行ルーチン内に仮想マシン命令をロードする機能を持たせた比較例における仮想マシン命令の実行機能を模式的に示す説明図である。

20 第11図は仮想マシン命令の条件分岐命令による処理の高速化を実現するためのVIPC部及びDISP部を例示するブロック図である。

第12図は仮想マシン条件分岐命令による処理の高速化を実現するためのVPC部を例示するブロック図である。

第13図は仮想マシン命令が条件分岐命令の場合の実行ルーチンを例示する説明図である。

25 第14図は仮想マシン条件分岐命令の分岐処理高速化の方式を採用したマイクロコンピュータを全体的に示すブロック図である。

第15図は第1図又は第14図のマイクロコンピュータによる仮想マシン命令の連續実行動作状態を例示するタイミングチャートである。

第16図は第15図のタイミングの基になるCPU、アドレス変換部、及び変換テーブルの接続形態を示すブロック図である。

5 第17図はマイクロコンピュータの全体を概略的に示すブロック図である。

第18図は第17図のマイクロコンピュータのアドレスマップである。

10 第19図にはマイクロコンピュータを適用した接触インターフェース型ICカードの外観図である。

第20図にはマイクロコンピュータを適用した非接触インターフェース型ICカードの外観図である。

第21図は実行ルーチンアドレスとCPUのアドレスオフセットから実行ルーチン命令アドレスを生成する手法を例示する説明図である。

15

発明を実施するための最良の形態

第1図には本発明が適用されたマイクロコンピュータの一例が示される。マイクロコンピュータ1は、同図に代表的に示されたCPU(中央処理装置)2、アドレス変換部(VEM)3、仮想マシン命令格納メモリ4、実行ルーチン格納メモリ5、アドレスバスiab、及びデータバスidbによって構成される。

前記CPU2は所定の命令セットを持ち、命令セットには規定の複数のネイティブ命令が含まれる。CPU2は命令制御部CNTと実行部EXCを有する。命令制御部CNTは命令の実行順序を制御すると共に、プログラムカウンタPCなどによって指示される命令アドレスから命令レジスタIRに命令をフェッチし、フェッチした命令をデコーダDE

Cで解読して制御信号などを生成する。実行部E X Cは、前記プログラムカウンタP C、汎用レジスタR E G及び演算器A L U等を有し、命令制御部C N Tで生成された制御信号に基づいて汎用レジスタR E Gや演算器A L U等を動作して、命令を実行する。

5 マイクロコンピュータ1は、C P U 2のネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にするものである。前記仮想マシン命令は、例えばM U L T O S（登録商標）と称されるI Cカードオペレーティングシステム上でのアプリケーション実行形式の言語を構成する命令等である。仮想マシン命令による仮想マシンプログラムは前記仮想マシン命令格納メモリ4が保持する。前記実行ルーチンは実行ルーチン格納メモリ5が保持する。特に制限されないが、仮想マシン命令の実行にはC P U 2のアドレス空間の一部が割り当てられる。この空間を仮想マシン命令実行空間と称する。前記アドレス変換部3は、C P U 2が出力する命令アドレスが仮想マシン命令実行空間の所定アドレス、例えばその先頭アドレスを指すとき、規定の条件成立と判定する。

10

15

アドレス変換部3は、前記規定の条件成立の有無を判定すると共に、アドレス変換部3全体の制御を行うコントロール部10と実行アドレス生成部（実行ルーチンアドレス生成部の一例）15を有する。前記実行アドレス生成部（V P C部）15は前記規定の条件成立に応答して、前記C P U 2がバスc p \_ i a bに出力する命令アドレスを、実行ルーチン先頭アドレスレジスタV P Cに予め用意された実行ルーチンのアドレスを利用してネイティブ命令のアドレスに順次変換してバスi a bに出力する。規定の条件不成立のとき、前記実行アドレス生成部15は、前記C P U 2がバスc p \_ i a bに出力する命令アドレスをそのままバスi a bに出力する。C P U 2は順次変換されたネイティブ命令の

20

25

アドレスにより実行ルーチン格納メモリ 5 から読み出されたネイティブ命令をデータバス i d b、c p \_ i d b から入力して実行する。アドレス変換部 3 は、C P U 2 が前記規定の条件成立に応答して仮想マシン命令の実行ルーチンを実行するとき、これに並行して、次に実行すべき仮想マシン命令を仮想マシン命令格納メモリ 4 から読み込み、これに対応する実行ルーチンのアドレスをレジスタ V P C 0 (第 2 レジスタの一例) に用意する。仮想マシン命令格納メモリ 4 をアクセスするためのアドレスは仮想マシンプログラムカウンタ部 (V I P C 部) 1 1 が生成して、前記 V P C 部 1 5 経由でアドレスバス i a b に出力する。

前記仮想マシンプログラムカウンタ部 1 1 におけるアドレスインクリメント量はインクリメント制御部 (D I S P 部) 1 4 のレジスタ D I S P 0 (第 1 レジスタの一例) の設定値によって決定される。

仮想マシン命令格納メモリ 4 からバス i d b に読み出された仮想マシン命令はデータアクセス部 1 2 が入力する。アドレス変換部 3 は、仮想マシン命令毎に、その命令コード (バイトコード)、命令長 (d i s p)、実行ルーチンアドレスの対応を定義した変換テーブル 1 3 を有する。データアクセス部 1 2 は入力した仮想マシン命令の命令コードを検索キーとして、其れに対する命令長と実行ルーチンアドレスを検索する。検索された命令長はレジスタ D I S P 0 にセットされ、検索された実行ルーチンアドレスはレジスタ V P C 0 にセットされる。レジスタ V P C 0 にセットされた実行ルーチンアドレスは、現在実行されている実行ルーチンの実行終了に続いて、前記規定の条件成立に応答してレジスタ V P C に転送され、その実行ルーチンアドレスで規定される実行ルーチンの実行空間のアクセスアドレス (実行ルーチン命令アドレス) の生成に利用される。

特に制限されないが、前記実行ルーチンは、例えばその最後に C P U

2のプログラムカウンタPCを仮想マシン命令の実行に割り当てられた所定のアドレス空間(仮想マシン命令実行空間)の先頭に戻すリターン処理のネイティブ命令を含む。実行ルーチンの最後に前記仮想マシン命令実行空間の先頭にリターンしたとき、次に実行すべき仮想マシン命令に対応する実行ルーチンのアドレスが既にレジスタVPC0用意されており、CPU2が再び前記仮想マシン命令実行空間の先頭アドレスをアクセスする処理を行うとき、レジスタVPCにレジスタVPC0のアドレスが転送され、このレジスタVPC0が示す実行ルーチンの実行に移ることができる。

10 第2図にはVIPC部11の詳細が例示される。レジスタVIPC0は現在実行している仮想マシン命令のアドレスを示す。レジスタDISP0は現在実行している仮想マシン命令と次の仮想マシン命令までの相対位置を示している。仮想マシン命令と次の仮想マシン命令までの相対位置は、分岐命令以外では現在の実行中の仮想マシン命令の命令長であるため、DISP0は分岐命令以外では仮想マシン命令の命令長となる。前述のように、CPU2による実行ルーチンの実行に並行して、次の命令を $VIPC0 + DISP0$ をアドレスとして仮想マシン命令格納メモリ4をアクセスする。18で示されるものは加算器である。その次は、 $VIPC0 + DISP0 \rightarrow VIPC0$ としてVIPC0を更新することで、次の仮想マシン命令を指定することが可能になる。仮想マシン命令は命令長が命令毎に異なるため、それを実行するときまでDISP0の値が決定しない。そこで前述のように実行ルーチンアドレスと同様にテーブル13を参照することでDISP0の設定値を決定する。

25 第3図には実行アドレス生成部(VPC部)15の詳細が例示される。実行アドレス生成部15は、前記レジスタVPC0、VPC、加算器20、及びセレクタ21から成る。前記レジスタVPC0は次に処理すべ

き仮想マシン命令の実行ルーチンアドレスを保有する。前記レジスタ VPC は現在処理されている仮想マシン命令の実行ルーチンアドレスを保有する。レジスタ VPC0, VPC が保有する実行ルーチンアドレスは実行ルーチンの先頭アドレスであり、通常、実行ルーチンは複数のネイティブ命令によって構成される。CPU2 が実行ルーチンを構成するネイティブ命令を順次フェッチできるように、CPU2 が順次出力する命令フェッチアドレスの下位側複数ビット（アドレスオフセット）Aofs をレジスタ VPC の値に加算器 20 で加算する。前記アドレスオフセット Aofs のビット数は個々の実行ルーチンのメモリ容量の最大値に応ずるアドレスビット数であればよい。例えば 8 ビットである。この例に従えば、変換テーブルに格納された実行ルーチンアドレスと仮想マシン命令実行空間における先頭アドレスのアドレスオフセット Aofs との和が、実行ルーチンの先頭命令アドレスとなる。例えばこれは仮想マシン命令実行空間の先頭アドレスとなる。斯かる実行ルーチンアドレスと CPU のアドレスオフセット Aofs から実行ルーチン命令アドレスを生成する手法を整理すると第 21 図のようになる。

セレクタ 21 は加算器 20 から出力される実行ルーチンのネイティブ命令アドレス、VIPC 部 11 から出力される仮想マシン命令アドレス (VIPC0 + DISP0)、又はアドレスバス cp\_iab のアドレスを選択してバス iab に出力する。セレクタ 21 の選択動作は前記コントロール部 10 で制御される。コントロール部 10 は、CPU2 の条件分岐用フラグ、バスレディ信号、バスアクノリッジ信号、CPU2 からのアドレス信号を入力している。コントロール部 10 は、CPU2 が出力する命令フェッチアドレスが前記仮想マシン命令実行空間を指定していない場合にはセレクタ 21 にアドレスバス cp\_iab のアドレスを選択させ、前記仮想マシン命令実行空間を指定しているときは

セレクタ 21 に前記加算器 20 の出力アドレスを選択させる。コントロール部 10 は、セレクタ 21 に加算器 20 の出力アドレスを選択させているとき、途中の所定タイミングで、セレクタ 21 に、次に処理すべき仮想マシン命令アドレスを選択させる。前記所定のタイミングは、特に  
5 制限されないが、実行ルーチンの先頭命令フェッチの次、というような一律のタイミングであってよい。前述の如く、レジスタ VPC0 の値の取得は、現在の CPU2 による仮想マシン命令の実行ルーチンの処理と並列に行なわれるため、現在の仮想マシン命令の処理が終了した時点で、  
10 次の仮想マシン命令に応ずる実行ルーチンの処理に即座に遷移することができる。

第 4 図には初期状態から仮想マシン命令の実行状態に遷移するための CPU2 の処理プログラムが例示される。前述のように仮想マシン命令の実行状態へは仮想マシン命令実行空間へジャンプすることで実現される。初期状態から遷移する場合には CPU2 がアドレス変換部 3 の  
15 レジスタ VIPC0、DISP0、VPC を先ず初期設定する。第 4 図の処理プログラムによれば、CPU2 がレジスタ VIPC0 とレジスタ DISP0 を初期設定した後、レジスタ VPC0 の設定値を求めるコマンドを実行している。VIPC0 の値は最初に実行する仮想マシン命令のアドレス、DISP0 は 0 が設定される。VPC0 の設定値を求める  
20 コマンド VPC0 chg は、VIPC0 + DISP0 のアドレスを出力させ、VIPC0 + DISP0 の位置にある仮想マシン命令をロードし、それに対応する実行ルーチンアドレスの取得し VPC0 に設定し、次の命令までの相対位置を求め DISP0 に設定する。その次に、仮想マシン命令実行空間にジャンプし、仮想マシン命令の実行状態に遷移する。

25 第 5 図には分岐命令以外の実行ルーチンの例が示される。次の仮想マシン命令のロード及びそれに応ずる実行ルーチンアドレスの取得はア

ドレス変換部3が行うため、実行ルーチンは実行処理部と仮想マシン命令実行空間の先頭アドレスへのジャンプのみとなる。

第6図には可変長命令及び分岐命令の実行ルーチンの例が示される。可変長命令及び分岐命令の場合、実行時まで命令長が解らないため、アドレス変換部3による仮想マシン命令のロードが不可能になる。アドレス変換部3は次の命令長も変換テーブル13を参照して得るからである。このため、コマンドにより次の仮想マシン命令までの位置を実行ルーチン内で指定して、処理する。第6図に例示されるように、DISP0を次の仮想マシン命令もしくは分岐先への相対位置に更新し、VPC0の更新コマンドを実行することで、可変長命令及び分岐命令の仮想マシン命令の実行が可能である。仮想マシン命令の分岐命令及び可変長命令の実行ルーチン内でVPC0の更新コマンドを実行する場合、VIPC0は既にアドレス変換部3により現在の仮想マシン命令の位置に第1図の変換テーブルに定義されている命令長の値が加算されたため、VIPC0は現在の仮想マシン命令の位置を示していない。VPC0更新コマンドではVIPC0は現在の仮想マシン命令のアドレスを知る必要があるため、アドレス変換部3によってVIPC0を更新させないために、当該仮想マシン命令の変換テーブルの命令長を0として変換テーブルに定義する。第7図には前述のアドレス変換部3によるアドレス変換機能が全体的に示される。CPU2から出力される命令フェッチャドレスが前記仮想マシン命令実行空間を指定しているとき、アドレス変換部3はアドレスバスcp\_iabのアドレスを現在処理すべき仮想マシン命令の実行ルーチンを構成するネイティブ命令のアドレスに変換して出力する。これに並行してDISP部14及びVPC部11で生成した次の仮想マシン命令アドレスによって仮想マシン命令格納メモリ4をリードし、リードされた仮想マシン命令に基づいてアドレス計

算を行って次に実行する実行ルーチンアドレスを予め取得しておく。

第8図には上記アドレス変換部3によるアドレス変換機能を用いた仮想マシン命令の実行機能が模式的に示される。アドレス変換部3を用いた場合には実行ルーチンは実行処理部と仮想マシン命令実行空間の先頭へのジャンプ命令(bra next)のみとされる。次の仮想マシン命令のロードと対応する実行ルーチンアドレスの参照は、アドレス変換部3がCPU2の命令実行動作と並行して行う。次の実行ルーチンによる処理への遷移は、仮想マシン命令実行空間の先頭にジャンプした時点でCPU2の出力アドレスを次の実行ルーチンアドレスに変換することによって実現する。

第9図にはアドレス変換部3を用いたアドレス変換のイメージが示される。例えば、CPU2が仮想マシン命令実行空間(H'0021\_0000~H'0021\_0100)を指していると、そのアドレスは、ロードした仮想マシン命令に対応する実行ルーチンアドレスに変換されてレジスタVPC0に保持される。実行ルーチンアドレスが仮想マシン命令実行空間の先頭(H'0021\_0000)にジャンプすることで、レジスタVPC0の値がレジスタVPCに転送されて更新される。よって、現在の実行ルーチンの実行処理が終了した時点で、仮想マシン命令実行空間の先頭アドレスにジャンプする操作が行なわれれば、次の実行ルーチンの実行状態に遷移することができる。

第10図には実行ルーチン内に仮想マシン命令をロードする機能を持たせた比較例における仮想マシン命令の実行機能が模式的に示される。比較例の場合には、実行ルーチン内で仮想マシン命令をロードする。次に、ロードした仮想マシン命令に対応する実行ルーチンのアドレスを、実行ルーチンアドレスが格納されているメモリを参照して求める。次に、現在の仮想マシン命令の実行処理部分を実行し、終了した時点で次の実

行ルーチンアドレスへジャンプする。これを繰り返して仮想マシン命令を連続的に実行することができる。但し、仮想マシン命令のロードとそれに対応する実行ルーチンアドレスの取得は、実行ルーチンにおける実行処理部の処理に対して直列的である。したがって、比較例の場合は、  
5 上記アドレス変換部3を用いる並列処理に比べて仮想マシン命令の実行効率は低い。

第11図には仮想マシン命令の条件分岐命令(仮想マシン条件分岐命令)による処理の高速化を実現するためのVIPC部11及びDISP部14の一例が示される。第12図には同じ仮想マシン条件分岐命令による処理の高速化を実現するためのVPC部15の一例が示される。  
10

仮想マシン命令の条件分岐命令は、条件分岐命令コードの次に分岐先の相対位置(target)が書き込まれている。VIPC部11は3個のレジスタVIPC, VIPCO, VIPC1とそのセレクタ20を有する。レジスタVIPCは現在実行中の仮想マシン命令中のオペランド部分のデータをロードするためのアドレスレジスタである。このレジスタVIPCは、プログラムカウンタPCへの動作には影響しないが、仮想マシン命令の実行ルーチンを先頭から実行開始するとき、VIPC0に+1したオペランドの位置を示す値に更新される。仮想マシン命令の条件分岐命令は、現在の仮想マシン命令のアドレス位置を基準に分岐先を求めるという相対分岐の手法を採用するため、現在の仮想マシン命令のアドレス位置の情報が必要である。条件分岐命令を高速化するために分岐先と次命令の仮想マシン命令を2つロードするため、レジスタVIPCOは次の仮想マシン命令コードをロードした時点で、現在の仮想マシン命令のアドレス値が次の仮想マシン命令のアドレス値に更新される。この場合、分岐先仮想マシン命令ロードにおいて、分岐先アドレス計算時に現在の仮想マシン命令のアドレス値を知る必要があるため、  
15  
20  
25

現在の仮想マシン命令のアドレス値を保存するレジスタ V I P C 1 が追加されている。

前記 V I P C が保持するアドレスを出力することにより、仮想マシン命令の条件分岐命令中のオペランドデータである分岐のための相対位置 (分岐先 target) を求めることができ、その値を格納するレジスタ D I S P 1 が設けられている。レジスタ D I S P 0, D I S P 1 はセレクタ 2 1 で選択される。V I P C 1 + D I S P 1 は分岐先の仮想マシン命令のアドレス位置を示しており、この値をアドレスとして出力することで、分岐先の仮想マシン命令をロードすることができる。この際に V I P C 1 を分岐先アドレスで更新する。

これによってロードされた分岐先の仮想マシン命令を検索キーとして前記検索テーブル 1 3 をアクセスし、分岐先の命令長と実行ルーチンアドレスを求め、第 1 1 図のレジスタ D I S P 1 と第 1 2 図のレジスタ V P C 1 に格納される。尚、条件分岐でない場合、例えばジャンプのような無条件分岐の場合には、分岐先の命令長と実行ルーチンアドレスによってレジスタ D I S P 0 とレジスタ V P C 0 を更新すればよい。

分岐の条件が判定された結果、分岐しない場合 (分岐フラグ B f l g のディスエーブル状態) は、レジスタ V I P C 0, D I S P 0, V P C 0 が選択される。分岐する場合 (分岐フラグ B f l g のイネーブル状態) は、レジスタ V I P C 1, D I S P 1, V P C 1 が選択されることで、条件分岐による分岐先仮想マシン命令の実行ルーチンの処理に遷移可能にされる。2 2 で示されるものは V P C 1 又は V P C 0 のセレクタである。コントロール部 1 0 は、仮想マシン命令の条件分岐命令においての分岐の有無を決定する分岐フラグ B f l g を有している。

上記より、分岐条件が確定する前に、分岐先をロードし、分岐先の命令長と実行ルーチンのアドレスを、C P U 2 の現在の仮想マシン命令の

実行処理と並列に取得することができる。

第13図には仮想マシン命令が条件分岐命令の場合の実行ルーチンが例示される。先ずVIPC++→DISP1の動作を指示するコマンドで相対位置(Target)の値をレジスタDISP1に格納する。

5 次に、VPC1の値の更新コマンドを実行し、VIPC1+DISP1の値で示されるアドレスにある仮想マシン命令をロードし、命令長をDISP1に、実行ルーチンのアドレスをレジスタVPC1に格納する。同時に、レジスタVPC1の値の更新コマンドで分岐条件を設定する。実行処理の後の仮想マシン命令実行空間の先頭番地へのジャンプ時に、  
10 CPU2の条件フラグ(コンディションコードレジスタの所定ビットの値)によってアドレス変換部3が分岐を判定し、次の処理へ移る。CPU2側は分岐条件決定のためのフラグを設定するだけで、実際の分岐の処理はアドレス変換部3によってCPU2の処理と並行に行うことができるため、その処理を高速化することができる。

15 第14図には仮想マシン条件分岐命令の分岐処理高速化の上記方式を採用したマイクロコンピュータを全体的に示す。コントロール部10の前段に分岐判定部24が設けられ、CPU2から供給されるコンディションコードレジスタ値などを参照して、分岐条件の成立の有無を判定する。前記分岐フラグBflgは分岐判定部24による判定結果にしたがってコントロール部10が所定のタイミングで変化させる。  
20

第15図には第1図又は第14図のマイクロコンピュータ1による仮想マシン命令の連続実行動作状態が例示される。第15図のタイミングは第16図に示される接続関係の基で、CPU2が仮想マシン命令(Vコードとも記す)①、②、③の実行ルーチンを処理する。V\_0～V\_3は仮想マシン命令実行空間のアドレスであり、V\_0はその先頭アドレスである。

タイミング T A に例示されるように、初期状態においてレジスタ V I P C 0 には V コード① のメモリアドレスが、D I S P 0 には次の V コード②への相対位置が、V P C 0 には V コード① の実行ルーチンアドレスが、それぞれ C P U 2 により初期設定されている。

5 C P U 2 からアドレスバス c p \_ i a b に仮想マシン命令実行空間の先頭アドレス V \_ 0 が出力されると（タイミング T B）、アドレス変換部 3 は、それを検出してレジスタ V P C 0 の値をレジスタ V P C に転送し、アドレスバス i a b に、レジスタ V P C の V コード① の実行ルーチンアドレスにアドレス V \_ 0 の下位側オフセットを加算した、当該 V  
10 コード① の実行ルーチンを構成するネイティブ命令アドレス①\_0 をアドレスバス i a b に出力される。データバス i d b にはそのアドレスによって実行ルーチン格納メモリ 5 からネイティブ命令 [①\_0] が出力される（タイミング T C）。これがバス c p \_ i d b を介して C P U 2 にフェッチされ、実行される。以下、C P U 2 からアドレスバス c p  
15 \_ i a b に仮想マシン命令実行空間のアドレス V \_ 1 ~ V \_ 3 が順次出力される毎に、その V コードに対応する実行ルーチンの後続のネイティブ命令 [①\_1] ~ [①\_3] が順次 C P U 2 に供給される。

第 15 図の例では、アドレス変換部 3 は、実行ルーチンの先頭命令をリードした後に、タイミング T C に示されるように、V コード① のメモリアドレスにレジスタ D I S P 0 の相対値を加算して V コード② のアドレス (V I P C 0 + D I S P 0) をバス i a b に出力して、次の V コード② を仮想マシン命令格納メモリ 4 から読み込む（タイミング T D）。この間、アドレス①\_1 によるネイティブ命令 [①\_1] のリードは待たされるが、それ以降、ネイティブ命令のリードは順次行なわれていく。  
20 C P U 2 がリードしたネイティブ命令を実行するのに並行して、アドレス変換部 3 は前記リードした V コード② をアドレスとして変換テーブ  
25

ル 1 3 をアクセスし、それによって読み出した命令長によってレジスタ D I S P 0 の V コード③への相対位置を設定し、実行ルーチンアドレスによって V P C 0 に V コード②の実行ルーチンアドレスを設定する(タイミング(T E)。

5 第 1 5 図では V コード①の実行ルーチンの最後はジャンプ命令[①\_3]とされ、この最後のジャンプ命令によって C P U 2 のプログラムカウンタ PC が仮想マシン命令実行空間の先頭アドレス V\_0 に分岐されたとき、既にレジスタ V P C 0 に取得されている V コード②の実行ルーチンのアドレスがレジスタ V P C に転送され、今度は②\_0 を先頭とする実行ルーチンを順次 C P U 2 が実行可能にされる。

したがって、C P U 2 が V コードの実行ルーチンを処理しているとき、アドレス変換部 3 はこれに並行して次の V コードをメモリ 4 からフェッチし、フェッチした V コードをアドレスとして変換テーブル 1 3 から実行ルーチンの先頭アドレス及び命令長を取得する。したがって、実行ルーチンの最後で仮想マシン命令実行空間の先頭に戻るジャンプ命令を実行することにより、C P U は必要な実行ルーチンを順次連続的に実行することができる。

第 1 7 図にはマイクロコンピュータ 1 の全体が概略的に示される。同図に示されるマイクロコンピュータ 1 は、特に制限されないが、所謂 I C カードマイコンと称されるマイクロコンピュータである。同図に示されるマイクロコンピュータ 1 は、単結晶シリコンなどの 1 個の半導体基板若しくは半導体チップに C M O S などの半導体集積回路製造技術によって形成される。

マイクロコンピュータ 1 は、前記 C P U 2 、前記アドレス変換部 3 (V E M 3 ) 、電気的に書換え可能な E E P R O M 3 0 、マスク R O M 3 1 、R A M (ランダム・アクセス・メモリ) 3 2 、入出力回路 (I/O) 3

3、暗号処理回路34、及び内部バス35を有する。入出力回路33はアドレス、データ、コマンドなどのI/O信号、リセット信号、及びクロック信号のインターフェース等に利用される。

第18図のアドレスマップに例示されるように、EEPROM30は前記仮想マシン命令メモリ4等に用いられる。マスクROM31は前記実行ルーチン格納メモリ5などに用いられる。アプリケーションプログラムである仮想マシンプログラムは入出力回路33から入力される。通常入力時には仮想マシンプログラムは暗号化されているので、暗号処理回路で復号され、復号結果がEEPROM30に格納される。マスクROM31には前記実行ルーチンが格納され、仮想マシン命令に応ずる実行ルーチンをCPU2が実行することによって仮想マシンプログラムの実行が実現される。

第19図にはマイクロコンピュータ1を適用した接触インターフェース型のICカードが例示される。ICカード40はカード基板にマイクロコンピュータ1が実装され、樹脂もしくはケーシングで封止されている。表面には外部端子41が露出される。外部端子41はマイクロコンピュータ1の入出力回路33にカード基板上の配線で接続される。

第20図にはマイクロコンピュータ1を適用した非接触インターフェース型のICカードが例示される。ICカード41はカード基板にマイクロコンピュータ1と高周波部(RF部)42及びアンテナ43が実装され、樹脂もしくはケーシングで封止されている。アンテナ43は高周波部42に接続され、マイクロコンピュータ1の入出力回路33は高周波部42とカード基板上の配線で接続される。高周波部42はマイクロコンピュータ1にオンチップで構成することも可能である。高周波部42は前記アンテナ43が所定の電波(例えばマイクロ波)を横切ることによって生ずる誘導電流を動作電源として電源電圧Vccを出力し、リ

セット信号及びクロック信号を生成し、アンテナ 4 3 から非接触で情報の入出力を行う。入出力回路 3 3 は外部と入出力すべき情報を R F 部 4 2 とやり取りする。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

前記アドレス変換部でアドレス変換を行う規定の条件は仮想マシン命令実行空間の先頭アドレスの出力に限定されない。例えば先頭アドレスでなくてもよい。また、特定のアドレスで無くてもよく、 C P U のその他特定の出力状態等であってもよい。また、仮想マシン命令格納メモリ及び実行ルーチン格納メモリは不揮発性メモリに限定されることなく、内蔵されたデータを保持可能な状態であれば揮発性メモリで構成されていても良い。また、仮想マシン命令格納メモリは実行ルーチン格納メモリとは別のバス、例えば変換テーブルと同じく専用バスに接続してもよい。実行ルーチンのアクセスが仮想マシン命令のアクセスによって一時的に断たれることを抑制することができる。また、アドレス変換部はメモリマネージメントユニット等と同じく C P U を構成する命令制御部及び実行部と同じユニット内に構成してもよい。また、マイクロコンピュータは I C カードだけでなく、 P D A (Personal Digital Assistant) や携帯電話機等にも適用することができる。

### 産業上の利用可能性

本発明は、仮想マシン命令から成る仮想マシンプログラムのプラットフォームとなるマイクロコンピュータ、データプロセッサ、マイクロプロセッサ、シングルチップデータプロセッサ等と称されるデータ処理装置、更にはそのようなデータ処理装置を搭載した I C カード等の電子機

器に広く適用することができる。

## 請求の範囲

1. C P Uのネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にするデータ処理装置であって、
  - 5 規定の条件成立に応答して、前記C P Uが出力するアドレスを、用意された実行ルーチンのアドレスを利用してネイティブ命令のアドレスに順次変換可能なアドレス変換部を有し、  
前記アドレス変換部は、順次変換したネイティブ命令のアドレスに基づいてC P Uが実行ルーチンを実行するのに並行して、次に実行すべき仮想マシン命令を読み込んでこれに対応する実行ルーチンのアドレスを用意することを特徴とするデータ処理装置。
2. 前記アドレス変換部は前記規定の条件不成立に応答してC P Uからの入力アドレスをそのまま出力することを特徴とする請求の範囲第1項記載のデータ処理装置。
- 15 3. 前記規定の条件は、前記C P Uによる所定アドレスの出力であることを特徴とする請求の範囲第1項記載のデータ処理装置。
4. 前記所定アドレスは、前記仮想マシン命令の実行に割り当てられた所定のアドレス空間の先頭アドレスであることを特徴とする請求の範囲第3項記載のデータ処理装置。
- 20 5. 前記実行ルーチンは、その最後にC P Uのプログラムカウンタを仮想マシン命令の実行に割当てられた所定のアドレス空間の先頭に戻すリターン処理のネイティブ命令を含むことを特徴とする請求に範囲第4項記載のデータ処理装置。
6. 前記仮想マシン命令毎にその命令長と実行ルーチンのアドレスとの対応を定義した変換テーブルを有することを特徴とする請求の範囲第25 1項記載のデータ処理装置。

7. 前記変換テーブルから仮想マシン命令に対応して取得した命令長を保持する第1レジスタと、同じく取得した実行ルーチンのアドレスを保持する第2レジスタとを有することを特徴とする請求の範囲第6項記載のデータ処理装置。
- 5 8. 前記アドレス変換部は、仮想マシン命令をメモリから読み込むためのアドレスを出力する仮想マシンプログラムカウンタを有し、当該仮想マシンプログラムカウンタのインクリメント量は前記第1レジスタの値によって制御可能にされることを特徴とする請求の範囲第7項記載のデータ処理装置。
- 10 9. 前記仮想マシンプログラムカウンタのインクリメントは、実行ルーチンの実行終了タイミングに同期して行われることを特徴とする請求の範囲第8項記載のデータ処理装置。
- 10 10. 前記アドレス変換部は、実行ルーチンのネイティブ命令をメモリから読み込むための実行ルーチンアドレス生成回路を有し、
- 15 前記実行ルーチンアドレス生成回路は、前記第2レジスタが保持する実行ルーチンのアドレスを入力する第3レジスタと、第3レジスタの値とCPUから出力されるアドレスの下位側複数ビットとを加算する加算器を有し、加算器の出力が実行ルーチンのネイティブ命令のアドレスとされることを特徴とする請求の範囲第7項記載のデータ処理装置。
- 20 11. 前記アドレス変換部は、読み込んだ仮想マシン命令が分岐命令の場合に、分岐先の仮想マシン命令を読み込んでこれに対する実行ルーチンのアドレスを用意することが可能なことを特徴とする請求の範囲第1項記載のデータ処理装置。
12. 前記アドレス変換部は、読み込んだ仮想マシン命令が条件分岐命令の場合に、分岐先の仮想マシン命令を更に読み込んでこれに対する実行ルーチンのアドレスを別に用意し、分岐の有無に応じて、アドレス変

換に利用する実行ルーチンのアドレスを選択することを特徴とする請求の範囲第1項記載のデータ処理装置。

13. 仮想マシン命令によって構成される仮想マシンプログラムを格納する第1メモリと、仮想マシン命令毎にその実行ルーチンを格納する第5メモリとを含み、1個の半導体チップに形成されたことを特徴とする請求の範囲第1項記載のデータ処理装置。

14. 前記第2メモリは、更に仮想マシン命令の命令長を有することを特徴とする請求の範囲第13項記載のデータ処理装置。

15. 前記第1メモリは書換え可能な不揮発性メモリであることを特徴とする請求の範囲第13項記載のデータ処理装置。

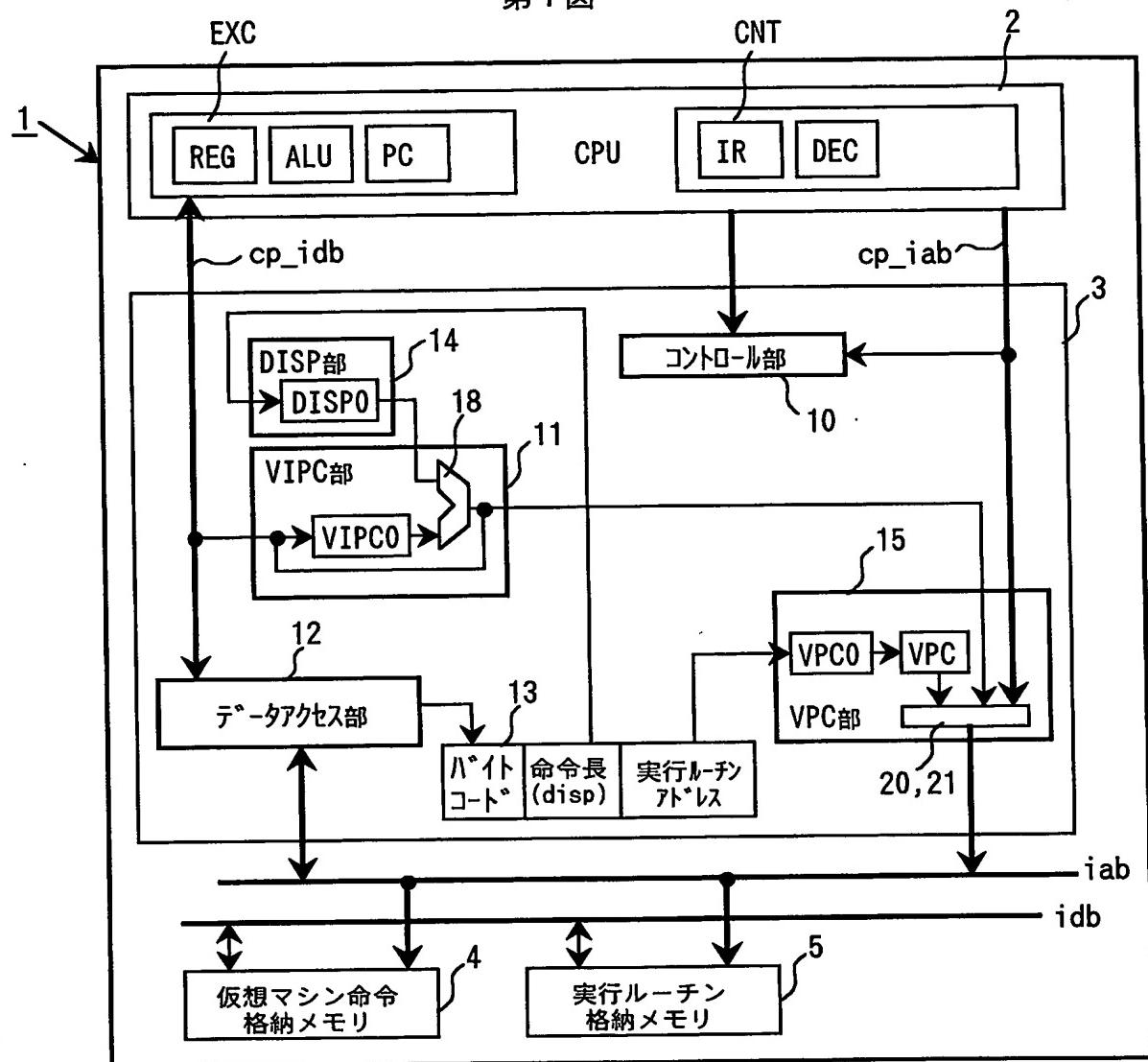
16. 入出力回路と、入出力回路に接続されたデータ処理装置とをカード基板に有するICカードであって、

前記データ処理装置は、CPUのネイティブ命令で規定される実行ルーチンにより仮想マシン命令の実行を実現可能にし、前記CPUが出力する所定のアドレスを、用意された実行ルーチンのアドレスを利用して15ネイティブ命令のアドレスに順次変換するアドレス変換部を有し、

前記アドレス変換部は、順次変換したネイティブ命令のアドレスに基づいてCPUが実行ルーチンを実行するのに並行して、次に実行すべき仮想マシン命令を読み込んでこれに対応する実行ルーチンのアドレス20を用意することを特徴とするICカード。

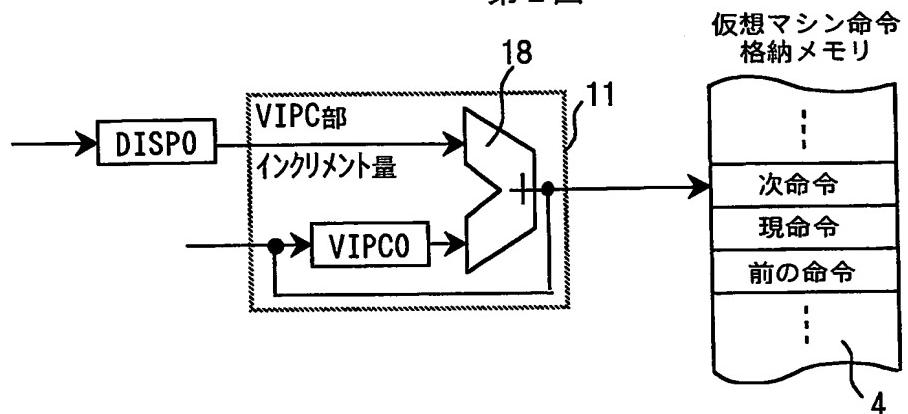
1 / 12

第1回

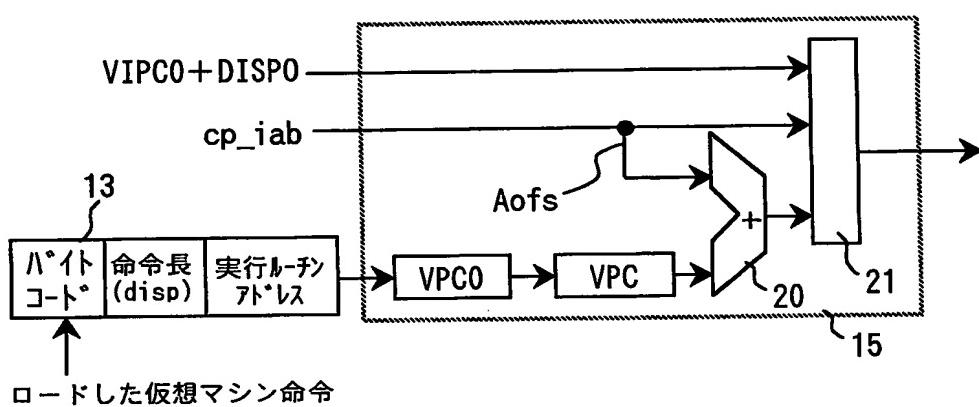


2 / 12

第2図



第3図



3 / 1 2

第4図

```

;VIPC0 Write
;PRG_TOP…最初に実行すべき仮想マシン命令アドレス
    mov.w    #H' PRG_TOP, @VIPC0 ;PRG_TOP -> VIPC
;DISPO Write
    mov.w    #H' 00, @DISPO      ;H 0 -> DISPO
;VPC0更新コマンド発行
;VPC0+DISPO上にある仮想マシン命令をロードし、実行ルーチンアドレス・
;命令長を求め、VPC0・DISPOを更新する
    mov.w    #H' 00, @VPC0chg   ;更新コマンド

;仮想マシン命令実行空間先頭(H' 00210000)へジャンプ
    mov.l    #H' 00210000, R1
    jmp     @R1                 ;仮想マシン命令実行空間先頭へジャンプ

```

第5図

```

;実行ルーチン例(実行動作 [R1] -> [R2])
next:                                ;仮想マシン命令実行空間アドレス
    mov.l    @R1, @R2              ;実行処理部分
    bra     next                  ;仮想マシン命令実行空間先頭へジャンプ

```

第6図

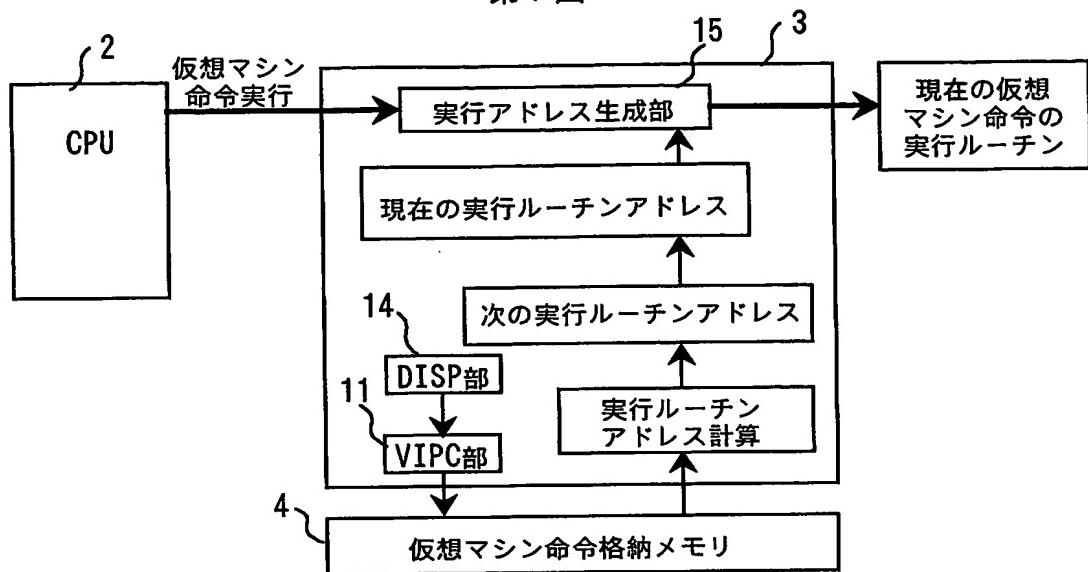
```

;可変長命令及び分岐命令の実行ルーチン
next:                                ;仮想マシン命令実行空間アドレス
    .....                         ; 実行処理部分
    .....
    mov.w    R1, @DISPO           ;R1には可変長命令の命令長
                                ;又は分岐先までの相対位置
    mov.w    #00, @VPC0chg       ;VPC0更新コマンド
    bra     next                  ;仮想マシン命令実行空間先頭へジャンプ

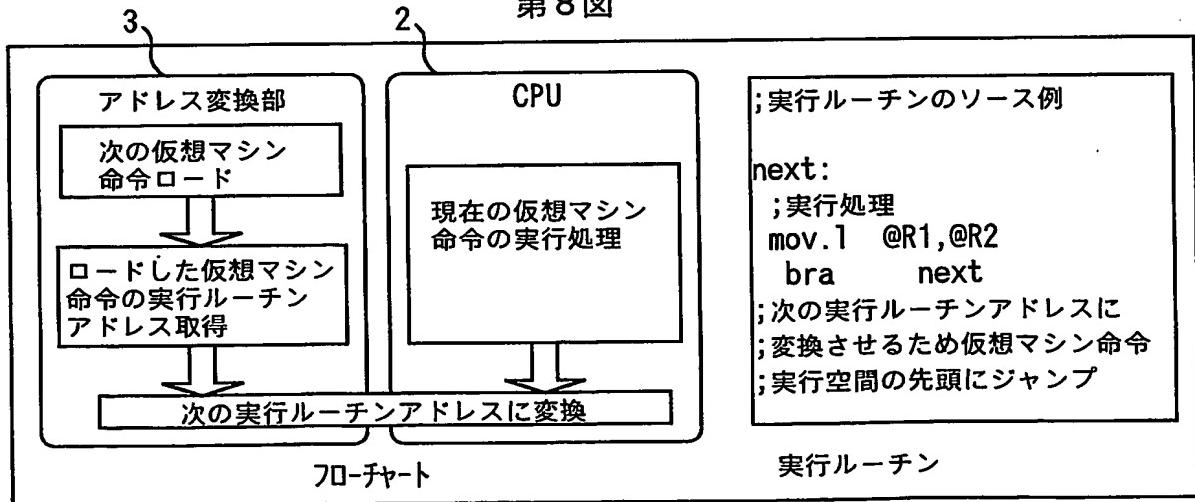
```

4 / 12

第7図

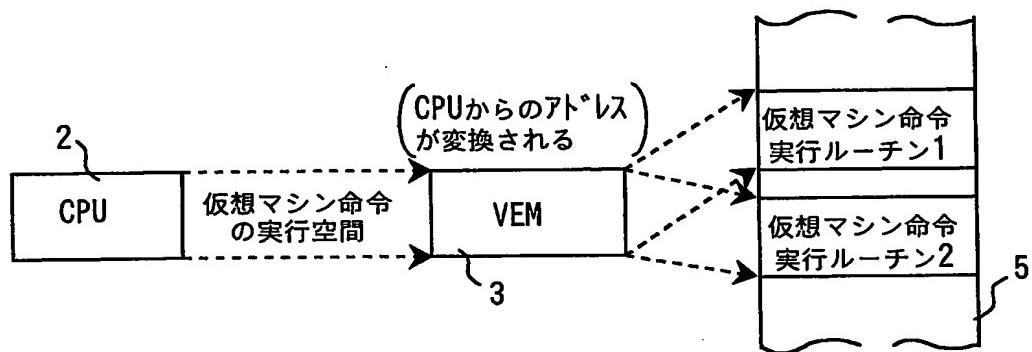


第8図

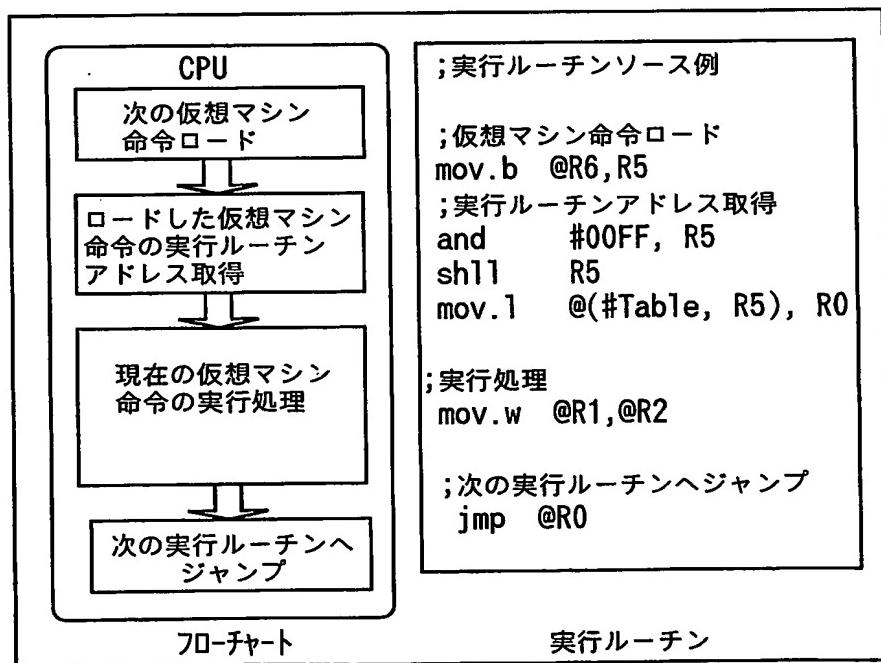


5 / 12

第9図

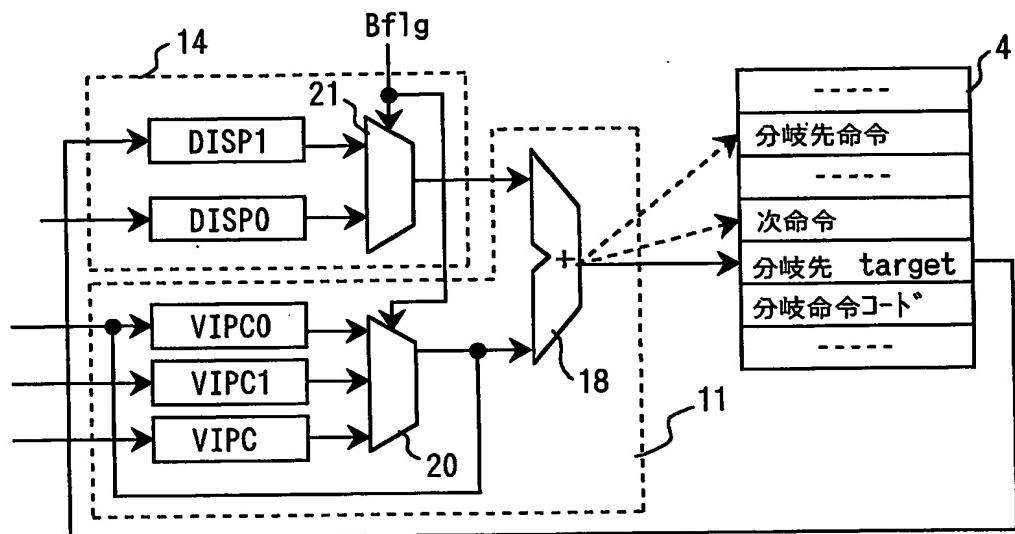


第10図

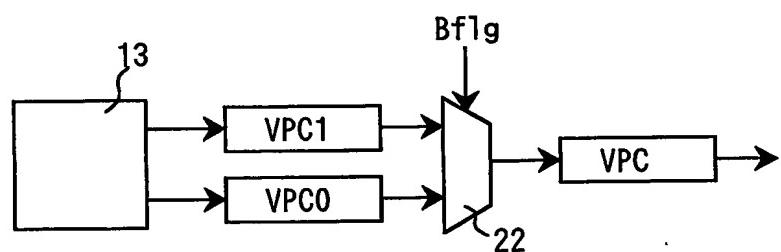


6 / 12

第11図



第12図



7 / 12

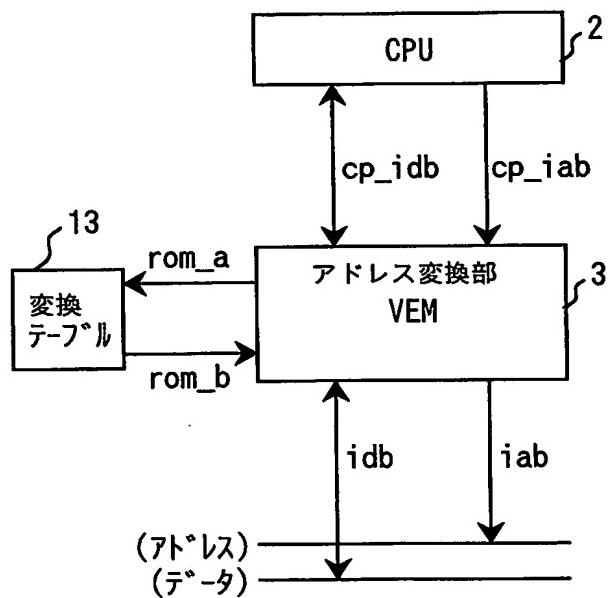
第13図

```

next:                                ;仮想マシン命令実行空間アドレス
    mov.w  @VIPCtoDISP1, R3      ;[VIPC++] -> DISP1
    mov.w  #H'00, @VPC1chg      ;VPC1更新コマンド
    .........                   ;実行処理
    .....
bra     next                         ;仮想マシン命令実行空間先頭へジャンプ

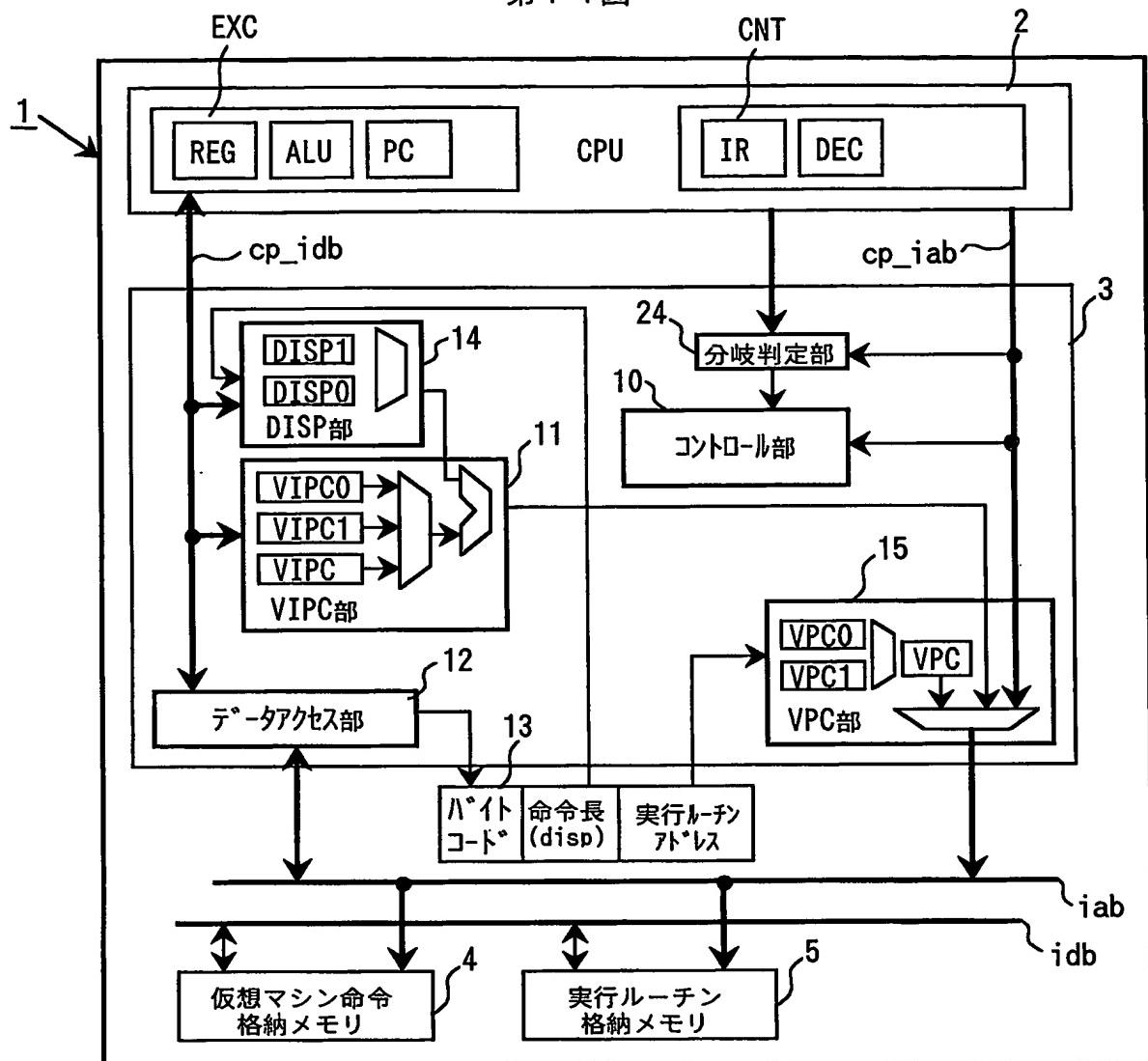
```

第16図



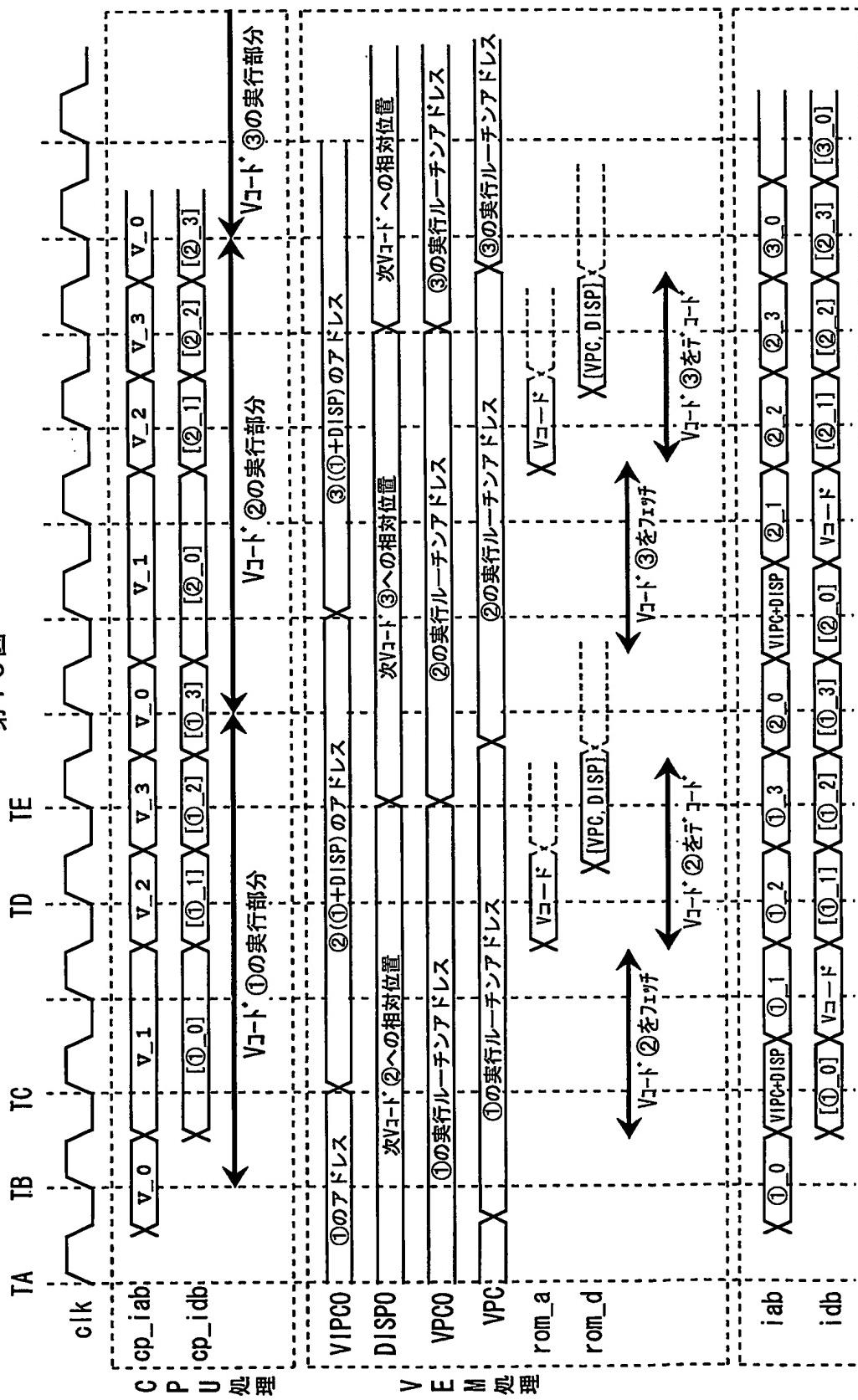
8 / 12

第14図



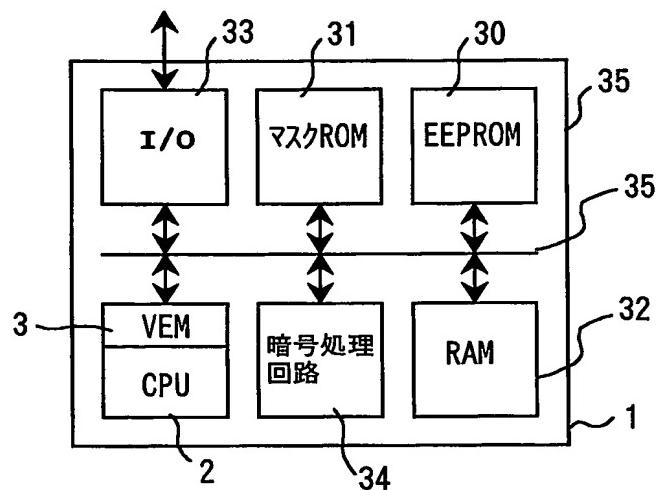
9 / 12

第15図

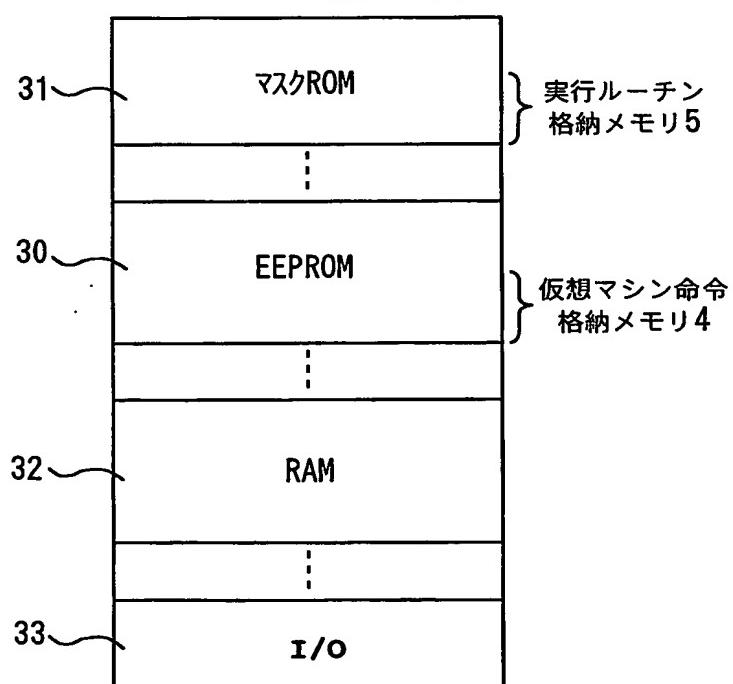


10 / 12

第17図

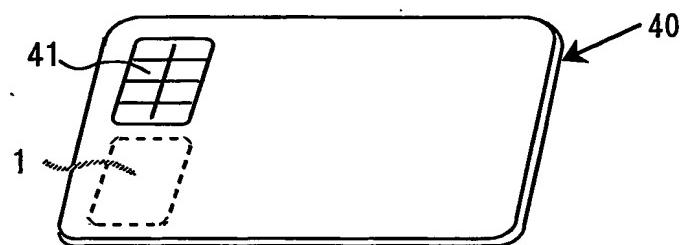


第18図

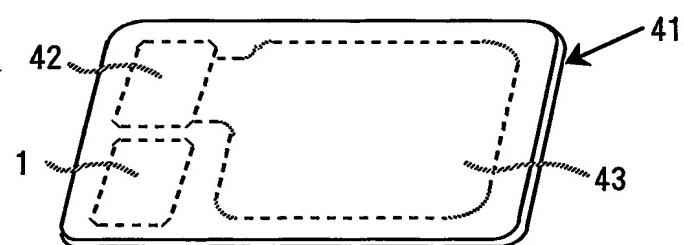


11/12

第19図

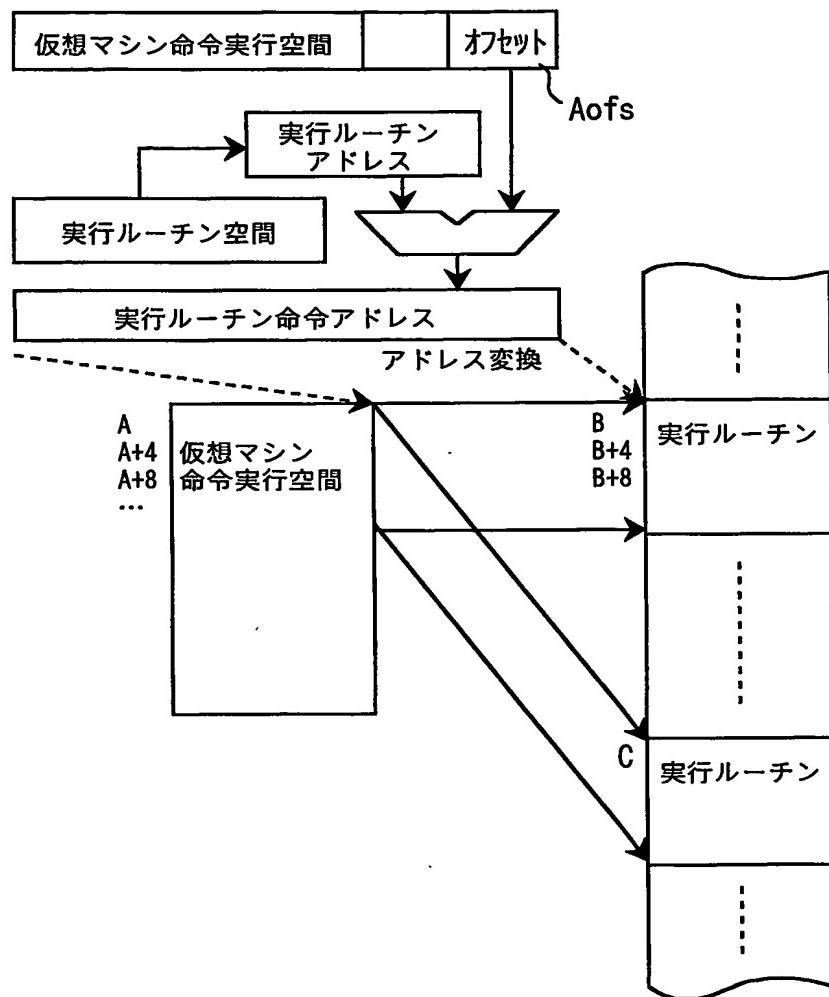


第20図



12 / 12

第21図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08843

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G06F9/30, G06F9/38, G06F9/44, G06F9/45

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G06F9/30, G06F9/38, G06F9/44, G06F9/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JICST FILE, (KASOMASHIN, BAITOKO-DO, Java) (in Japanese)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6324686 B1 (International Business Machines Corp.), 27 November, 2001 (27.11.01), Abstract; column 3, lines 6 to 16; column 8, line 46 to column 11, line 2; Figs. 6 to 8 & JP 11-175349 A 02 July, 1999 (02.07.99), Abstract; column 7, lines 1 to 10; column 12, line 47 to column 16, line 5; Figs. 6 to 8 & CN 1218222 A 02 June, 1999 (02.06.99)	1-16
A	JP 60-86625 A (NEC Corp.), 16 May, 1985 (16.05.85), Page 3, upper left column, line 8 to upper right column, line 7; Fig. 3 (Family: none)	1-16

Further documents are listed in the continuation of Box C.  See patent family annex.

"A"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&"	document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 18 December, 2002 (18.12.02)	Date of mailing of the international search report 14 January, 2003 (14.01.03)
---	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
--	--------------------

Facsimile No.	Telephone No.
---------------	---------------

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP02/08843

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1197847 A2 (Nazomi Communications Inc.), 17 April, 2002 (17.04.02), Full text; all drawings & JP 2002-163116 A 07 June, 2002 (07.06.02), Full text; all drawings	1-16

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl' G 06 F 9/30, G 06 F 9/38, G 06 F 9/44, G 06 F 9/45

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl' G 06 F 9/30, G 06 F 9/38, G 06 F 9/44, G 06 F 9/45

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JICST科学技術文献ファイル、（仮想マシン、バイトコード、Java）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	U S 6 3 2 4 6 8 6 B 1 (International Business Machines Corporation) 2 0 0 1 . 1 1 . 2 7 ABSTRACT, 第3欄第6行～第16行, 第8欄第46行～第11欄第2行, 第6-8図 & J P 1 1 - 1 7 5 3 4 9 A 1 9 9 9 . 0 7 . 0 2 要約, 第7欄第1行～第10行, 第12欄第47行～第16欄第5行, 第6-8図 & C N 1 2 1 8 2 2 2 A 1 9 9 9 . 0 6 . 0 2	1-16
A	J P 6 0 - 8 6 6 2 5 A (日本電気株式会社) 1 9 8 5 . 0 5 . 1 6 第3頁左上欄第8行～右上欄第7行, 第3図 (ファミリーなし)	1-16

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

18. 12. 02

## 国際調査報告の発送日

14.01.03

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

酒井 恭信

5 B

9190

電話番号 03-3581-1101 内線 3546

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	EP 1197847 A2 (Nazomi Communications Inc.) 2002. 04. 17 全文, 全図 & JP 2002-163116 A 2002. 06. 07 全文, 全図	1-16